

BREVET D'INVENTION

PREMIÈRE ET UNIQUE
PUBLICATION

(22) Date de dépôt..... 17 février 1970, à 17 h.
Date de la décision de délivrance..... 7 décembre 1970.
Publication de la délivrance..... B.O.P.I. — « Listes » n° 46 du 18-12-1970.

(51) Classification internationale (Int. Cl.)... G 06 f 15/00//G 11 c 7/00; H 04 q 3/00.
(71) Déposant : Société dite : TELEFONAKTIEBOLAGET L M ERICSSON, résidant en Suède.

Mandataire : Simonnot, Rinuy, Santarelli.

(54) **Mémoire tampon d'adressage différé pour réseau de télécommunication
commandé par programme enregistré.**

(72) Invention :

(33) (32) (31) **Priorité conventionnelle : Demande de brevet déposée en Suède le 18 fé-
vrier 1969, n° 2.240/1969 au nom de la demanderesse.**

La présente invention se rapporte à une structure de mémoire tampon d'un réseau de télécommunication commandé par un programme enregistré, destinée à retarder d'un nombre prédéterminé de périodes d'un signal d'horloge l'adressage d'adresses séparées par un intervalle de restitution, la calculatrice de commande enregistrant les adresses dans un registre d'entrée, et les adresses étant obtenues dans un registre de sortie avec le retard en question.

Dans un réseau de télécommunication, la signification d'un signal est souvent déterminée par sa durée. Pour déterminer s'il dépasse ou n'atteint pas une durée prédéterminée, des dispositifs classiques utilisent des relais dont le fonctionnement est retardé d'un temps qui dépasse la durée des signaux courts mais qui est plus court que la durée des signaux longs. Ainsi, si un signal court est appliqué au relais, celui-ci n'a pas le temps de fonctionner avant la cessation du signal, tandis que, si le signal est long, le relais fonctionne. Pour que ce processus se déroule d'une manière satisfaisante, il est toutefois nécessaire que chaque relais soit réglé d'une manière extrêmement précise, ce qui est très coûteux. Dans un réseau de télécommunication commandé par un programme enregistré, ces retards sont obtenus par voie digitale dans la calculatrice de commande afin que l'adressage d'un dispositif soit retardé et que, après le retard, il soit contrôlé si le signal persiste, avant qu'un dispositif soit actionné. Il a été proposé plusieurs procédés pour produire la temporisation nécessaire donnant le temps de retard correct. Selon un premier procédé, un groupe de signaux de temporisation et un bit de marquage particulier sont associés à l'adresse de chaque dispositif dans la mémoire à données de la calculatrice, et la temporisation est exécutée de la manière suivante : la valeur "1" est attribuée au bit de marquage et un certain nombre constituant le groupe de temporisation est enregistré, après quoi un programme périodique explore tous les bits de marquage, et, quand un bit "1" est trouvé le nombre constituant le groupe de temporisation est réduit d'une unité et l'adressage du dispositif est effectué quand le groupe de temporisation prend la valeur zéro après un certain nombre de soustractions. Pour que cette temporisation soit précise, il est évidemment nécessaire que l'exploration des bits de marquage ait lieu assez souvent, ce qui implique une très grande charge indépendante du trafic de

la calculatrice, étant donné que tous les bits de marquage doivent toujours être examinés. En outre, ce procédé nécessite une mémoire très importante.

Un second procédé consiste à utiliser un registre d'horloge central qui progresse pas à pas à une certaine fréquence, et à associer à chaque dispositif un mot de comparaison d'horloge qui, au début d'une temporisation reçoit une valeur qui correspond à la valeur courante contenue dans le registre d'horloge et augmentée du nombre de périodes des impulsions d'horloge sur lequel la temporisation doit s'étendre.

Chaque fois que le registre d'horloge a progressé d'un pas, il est effectué une comparaison entre le contenu du registre d'horloge et tous les mots de comparaison d'horloge et, si une identité se présente, un adressage à l'adresse correspondant au mot de comparaison d'horloge est effectué, après quoi le mot de comparaison d'horloge reçoit une valeur que le registre d'horloge ne peut pas accepter, de sorte qu'un adressage indésirable est empêché. Un avantage du procédé est que la progression est exécutée avec centralisation dans le registre d'horloge. La charge indépendante du trafic est toutefois plus grande que dans le cas du procédé décrit précédemment, et les conditions imposées concernant le volume de la mémoire sont réduites seulement dans une très faible mesure.

Selon un troisième procédé, un certain nombre de champs d'exploration de mémoire, qui sont explorés cycliquement par un programme répété périodiquement, sont combinés dans la mémoire à données, c'est-à-dire que le programme explore les champs d'exploration en ménageant une pause déterminée entre l'exploration d'un champ et celle du suivant, et continue l'exploration en revenant au premier champ quand le dernier champ d'exploration a été exploré. Si, alors, le nombre de bits contenu dans chaque champ d'exploration correspond au nombre de dispositifs, auquel cas une temporisation peut se produire, et qu'une certaine position de bit correspond au même dispositif dans tous les champs d'exploration, on peut obtenir un retard de la manière suivante : un bit correspondant à certain dispositif prend la valeur "1" dans le champ d'exploration qui est exploré par le programme d'exploration périodique au bout d'un temps correspondant à la temporisation souhaitée, le programme produisant, lors de l'exploration de chaque champ d'exploration, l'adressage de dispositifs

correspondant à des bits ayant la valeur "1" dans le champ d'exploration. Le grand inconvénient de ce procédé réside dans la grande mémoire nécessaire, du fait que chaque champ d'exploration sous forme d'un groupe de bits a un nombre de bits égal au nombre
5 de dispositifs et que le nombre de champs d'exploration sous forme de bits est déterminé par le temps correspondant à la temporisation la plus longue et par la précision nécessaire. En outre, la charge indépendante du trafic est grande, comme lorsqu'on utilise les deux procédés décrits précédemment, étant donné que,
10 dans chaque champ d'exploration sous forme de bits, tous les bits doivent être explorés, qu'une temporisation se déroule ou non.

Selon un procédé connu, dans lequel la charge indépendante du trafic est considérablement réduite, un mot d'adressage est associé à chaque dispositif, et l'adresse d'un autre dispositif peut
15 être enregistrée dans ce mot d'adressage. De cette façon, il est possible d'enregistrer, dans le mot d'adressage d'un dispositif, l'adresse d'un autre dispositif auquel un adressage doit être établi au même instant que l'adressage du dispositif mentionné en
20 premier et, de même, d'enregistrer l'adresse d'un troisième dispositif dans le mot d'adressage du second dispositif, etc. ; de telle sorte qu'à un instant donné, une chaîne d'adresses soit obtenue. L'adresse de chaque premier dispositif de cette chaîne est ensuite enregistrée dans une position déterminée d'une liste dont
25 les adresses sont lues successivement et à certains intervalles de temps, et l'adresse d'un certain dispositif est introduite dans la chaîne, de telle manière que le premier dispositif qui lui correspond et qui figure dans la liste fait l'objet d'un adressage après un intervalle de temps correspondant au retard souhaité d'un certain nombre d'intervalles de temps élémentaires. Grâce à ce procédé, seuls ne subissent un adressage que les dispositifs pour lesquels une temporisation synchronisée a lieu, de sorte que la charge indépendante du trafic est réduite. L'espace d'emmagasinement nécessaire, à savoir un mot pour chaque dispositif, est cependant très
30 grand.

Ce dernier procédé peut aussi être modifié de la manière suivante : un certain nombre d'unités de registre tampon sont utilisés au lieu de l'adressage en chaîne moyennant quoi chaque unité de registres tampon emmagasine des adresses de dispositifs dont l'adres-

sage doit être effectué à un certain instant, cette unité de registres tampon étant explorée de la même manière que dans le cas de la liste mentionnée précédemment. Ainsi, il n'est pas nécessaire qu'un mot d'adressage soit attribué à chaque adresse. Toutefois, 5 on n'obtient aucun avantage en ce qui concerne l'espace d'emménagement nécessaire, étant donné que chaque registre tampon doit être dimensionné de façon à ne pas trop accroître le risque de saturation et de blocage des registres tampons.

L'invention a pour objet une mémoire permettant d'effectuer 10 un adressage retardé et ne nécessitant qu'une seule unité tampon pour exécuter la temporisation pour tous les dispositifs avec le même retard, moyennant quoi l'espace d'emménagement nécessaire, ainsi que la charge indépendante du trafic, sont beaucoup plus réduits que dans le cas des procédés décrits précédemment.

15 Les caractéristiques et avantages de la présente invention ressortiront de la description et des revendications qui vont suivre, en regard des dessins annexés et donnant, à titre explicatif mais nullement limitatif, une forme de réalisation conforme à l'invention.

20 Sur ces dessins,

La figure 1 est un schéma symbolique d'un montage selon l'invention ; et

Les figures 2a à 2h illustrent les états d'organes de l'arrangement de la figure 1 à différents instants.

25 On décrira l'arrangement d'abord sommairement en se référant à la figure 1, puis d'une manière plus détaillée en référence aux tableaux d'états des figures 2a à 2h.

Sur la figure 1, la référence B désigne une mémoire tampon 30 qui, pour plus de clarté, comprend seulement huit cellules de mémoire B0 à B7 où des adresses peuvent être emmagasinées par l'intermédiaire d'un certain nombre de circuits ET A10 à A17 et lues par l'intermédiaire d'un certain nombre de circuits ET A0 à A7, chacun de ces circuits ET représentant symboliquement un certain nombre de conditionneurs fonctionnant en parallèle. Les contenus 35 des cellules de mémoire peuvent être en outre remis à zéro par l'intermédiaire d'un certain nombre de circuits ET AN 0 à AN 7 connectés à des entrées de mise à zéro NO à N7. Le montage comprend, en outre, un générateur d'impulsions d'horloge CL engendrant des impulsions d'horloge d'une fréquence déterminée qui provoquent,

premièrement, un comptage en avant par un compteur enregistreur I par l'intermédiaire d'un circuit OU 01, de telle manière que les différentes sorties i0 à i7 de ce compteur enregistreur dont le nombre correspond à celui des cellules mémoire, soient successivement actionnées de façon cyclique et débloquent tantôt les
5 portes A10 à A17, et tantôt les portes AN0 à AN7 respectivement et, deuxièmement, de façon analogue, la commande de comptage en avant d'un compteur de lecture U par l'intermédiaire d'un circuit OU 02, les sorties u0 à u7 dudit compteur U étant
10 successivement excitées de façon cyclique et débloquent ainsi les circuits ET A0 à A7. Le générateur de signaux d'horloge est également relié à une entrée de chacune des portes AN0 à AN7 reliés respectivement aux entrées de mise à zéro des cellules de mémoire, de telle sorte qu'une impulsion d'horloge remette à zéro
15 le contenu de la cellule de mémoire désignée par le compteur enregistrement.

La seconde entrée de chacune des portes A10 à A17 est reliée à la sortie d'un registre d'entrée IR par l'intermédiaire d'un circuit ET A8, moyennant quoi une information d'adresse peut
20 être emmagasinée à partir du registre dans la cellule de mémoire désignée par le compteur d'enregistrement I. Evidemment, cette information d'adresse consiste en plusieurs bits qui sont transmis par l'intermédiaire d'un certain nombre de conducteurs et de
portes en parallèle qui sont représentés symboliquement, pour
25 plus de clarté, comme on l'a signalé précédemment, par un conducteur et une porte, respectivement. Ce conducteur est aussi relié à la seconde entrée du circuit OU 01 de sorte que l'enregistrement d'une adresse provoque une progression en avant d'une unité du compte du compteur.

30 Les sorties des portes de lecture A0 à A7 sont reliées, premièrement, par un circuit OU 03, à un registre de sortie OR auquel des adresses enregistrées à partir du registre d'entrée, peuvent être transmises avec un certain retard, ainsi qu'il sera expliqué en référence aux figures 2a à 2h et, deuxièmement, à la
35 seconde entrée du circuit OU 02, moyennant quoi la lecture d'une adresse provoque la progression en avant du compteur de lecture. On décrira d'une manière plus détaillée le fonctionnement de l'arrangement en se référant aux figures 2a à 2h.

- Les figures 2a-2h illustrent les contenus de la mémoire tampon B ainsi que de ses cellules de mémoire désignées par le compteur d'enregistrement I et le compteur de lecture U à différents instants, qui sont indiqués à gauche des figures respectives. Les instants $t_0, t_1, t_2 \dots t_5$ sont les apparitions d'impulsions d'horloge provenant du générateur CL, tandis que les références t_p et t_q désignent respectivement des instants auxquels des adresses sont enregistrées dans les cellules de mémoire, c'est-à-dire les instants où la porte A8 est débloquée.
- Après l'apparition de l'impulsion d'horloge qui a fait progresser les compteurs I et U à l'instant t_0 , on suppose que le montage est dans l'état illustré par la figure 2a. Le compteur U désigne ainsi la cellule de mémoire B2 et le compteur I la cellule de mémoire B5. Dans la mémoire tampon B, les cellules B2, B3 et B4 sont à zéro. Les contenus des autres cellules n'ont aucune importance dans l'explication du fonctionnement du montage. A l'instant t_p , l'adresse P, qui est supposée être différente de zéro, est transmise du registre IR à la mémoire tampon B. Cette adresse est ensuite enregistrée dans la cellule de mémoire B5 désignée par le compteur I et cet enregistrement provoque en même temps une progression d'une unité du compte de ce compteur par l'intermédiaire de la porte O1, de sorte que l'état illustré par la figure 2b est réalisé. A l'instant t_1 , une nouvelle impulsion d'horloge apparaît et remet d'abord à zéro la cellule de mémoire B6 désignée par le compteur I, puis les compteurs I et U progressent, de sorte que l'état illustré par la figure 2c est obtenu. Ce processus se répète à l'instant t_2 , et l'état illustré par la figure 2d est obtenu d'une manière analogue. On suppose qu'à l'instant t_q un nouvel enregistrement à partir du registre IR a lieu, l'adresse contenue dans ce registre étant supposée être l'adresse Q. Cette adresse est emmagasinée dans la cellule de mémoire B0 désignée par le compteur I, cet enregistrement provoquant la progression d'une unité du compte de ce compteur de la même manière que précédemment. On obtient ainsi l'état illustré par la figure 2e. A l'instant t_3 , une nouvelle impulsion d'horloge apparaît et fait à nouveau progresser d'une unité les comptes des compteurs, et la cellule de mémoire B1, qui était désignée par le compteur I avant cette progression d'une unité, est remise à zéro. La progression d'une unité de compte du compteur U a pour conséquence la désignation de la cellule de mé-

moire B5 où l'adresse P est enregistrée. De cette façon, un signal de sortie de cette cellule de mémoire est transmis par l'intermédiaire du circuit OU 03, premièrement, au registre OR où l'adresse est emmagasinée et, deuxièmement, à la seconde entrée de la

5 porte 02/^{ce} qui fait progresser d'une unité supplémentaire le compte du compteur U. L'état de la mémoire tampon après ces processus est illustré par la figure 2f.

A l'exception des changements survenant dans les compteurs U et I, l'adresse P est ainsi obtenue à cet instant dans le registre OR, qui est supposé être relié à la mémoire à données de la

10 calculatrice, de telle manière qu'une adresse obtenue dans le registre soit immédiatement adressée.

L'adresse P a été obtenue à partir du registre IR à l'instant t_p et le retard introduit par la mémoire tampon est ainsi de deux

15 périodes complètes de la fréquence des impulsions d'horloge. Comme on le comprendra, le nombre de périodes dépend du nombre de cellules de mémoire mises à zéro compris entre la cellule de mémoire désignée par le compteur U et la cellule de mémoire désignée par le compteur I au début du processus, puisque ce nombre reste ensuite

20 invariable. La figure 2g illustre l'état obtenu après l'apparition de l'impulsion d'horloge à l'instant t_4 . Comme représenté, cette impulsion provoque seulement une progression d'une unité des comptes des compteurs I et U. A l'instant t_5 , la progression d'une unité du compte du compteur U provoque la désignation de la cellule de

25 mémoire B0. Toutefois, l'adresse Q est enregistrée dans la cellule de mémoire B0, et elle est ainsi transmise au registre OR de la même manière que l'adresse P à l'instant où le compte du compteur U est augmenté d'une unité. On obtient ainsi l'état illustré par la figure 2h. En ce qui concerne également l'adresse enregistrée à l'instant t_q , on obtient ainsi un retard de deux périodes

30 complètes des impulsions d'horloge entre l'instant où l'adresse est enregistrée dans la mémoire tampon et celui où elle en est extraite.

En ce qui concerne le fonctionnement de la mémoire tampon, il faut signaler également qu'il peut se faire évidemment que cette

35 mémoire tampon soit complètement remplie, c'est-à-dire que la somme du nombre d'adresses enregistrées mais non lues et du nombre nécessaire de cellules mises à zéro soit égale au nombre de cellules de mémoire, ceci se traduit par le fait que le compteur d'enregistrement I progresse d'une unité, de sorte qu'il désigne la même cel-

lule de mémoire que le compteur de lecture U. Pour éviter que des adresses supplémentaires ne soient enregistrées, il est possible de compléter le montage selon la figure 1 par un circuit comparateur qui compare les comptes des deux compteurs et bloque la

5 porte A8 lors d'une identité.

Au moyen de la structure de mémoire selon l'invention, tous les retards souhaités d'une certaine durée peuvent ainsi être obtenus au moyen d'une seule mémoire tampon, de sorte que l'espace d'emmagasinement nécessaire est beaucoup plus réduit qu'en appli-

10 quant les procédés mentionnés ci-dessus, selon lesquels plusieurs mémoires tampon étaient nécessaires et devaient chacune être dimensionnées de telle sorte que le risque d'obstruction ne fût pas trop grand. En outre, l'emploi d'une seule mémoire tampon rend beaucoup plus faible la charge indépendante du trafic. Le fait qu'un seul
15 retard est obtenu ne constitue, en outre, aucun inconvénient, étant donné qu'en règle générale le même retard est souhaité pour un grand nombre d'organes dont les adresses peuvent ainsi être associées à la même mémoire tampon.

REVENDICATION

Mémoire tampon pour réseau de télécommunication commandé par un programme enregistré, destinée à retarder d'un nombre prédéterminé de périodes de récurrence d'un signal d'horloge l'adressage d'adresses séparées par un intervalle de restitution, la calculatrice de commande enregistrant les adresses dans un registre d'entrée, et les adresses étant obtenues après retard dans un registre de sortie, mémoire tampon caractérisée en ce qu'elle comprend un certain nombre de cellules de mémoire, un compteur d'enregistrement et un compteur de lecture dont les comptes respectifs progressent chacun d'une unité sous l'effet d'impulsions fournies par un générateur de signaux d'horloge aux entrées de comptage desdits compteurs, ledit générateur engendrant des impulsions à ladite fréquence d'horloge pour débloquer tantôt des circuits d'enregistrement d'adresse, tantôt des circuits de restitution reliés respectivement aux entrées des cellules de mémoire, des circuits de lecture étant reliés aux sorties des cellules de mémoire, une première entrée de chaque circuit de restitution étant reliée audit générateur de telle sorte que ledit intervalle de restitution soit enregistré avant que le compteur ne soit influencé, la sortie du registre d'entrée étant reliée, premièrement, auxdits circuits d'enregistrement d'adresse, de telle manière que les contenus de ces circuits d'adresse puissent être enregistrés dans la cellule de mémoire désignée par le compteur d'enregistrement et, deuxièmement, au compteur d'enregistrement de telle manière que le compte de ce dernier soit augmenté également d'une unité lors de l'enregistrement, les sorties des circuits de lecture étant reliées, par l'intermédiaire d'un circuit logique, d'une part, au registre de sortie de telle sorte que le contenu d'une cellule de mémoire, désignée par le compteur de lecture et en dehors de l'intervalle de restitution, soit transmis au registre de sortie et, d'autre part, au compteur de lecture, de telle sorte que son compte soit lui aussi augmenté d'une unité lors de ladite transmission, de telle manière que, par réglage des compteurs d'enregistrement et de lecture pour qu'ils désignent des cellules de mémoire séparées par un nombre prédéterminé de cellules de mémoire constituant ledit intervalle de restitution, l'on obtienne, entre l'enregistrement à partir du registre d'entrée et la transmission au registre de sortie, un re-

tard correspondant approximativement au produit de la période des impulsions d'horloge par ledit nombre prédéterminé de cellules de mémoire.

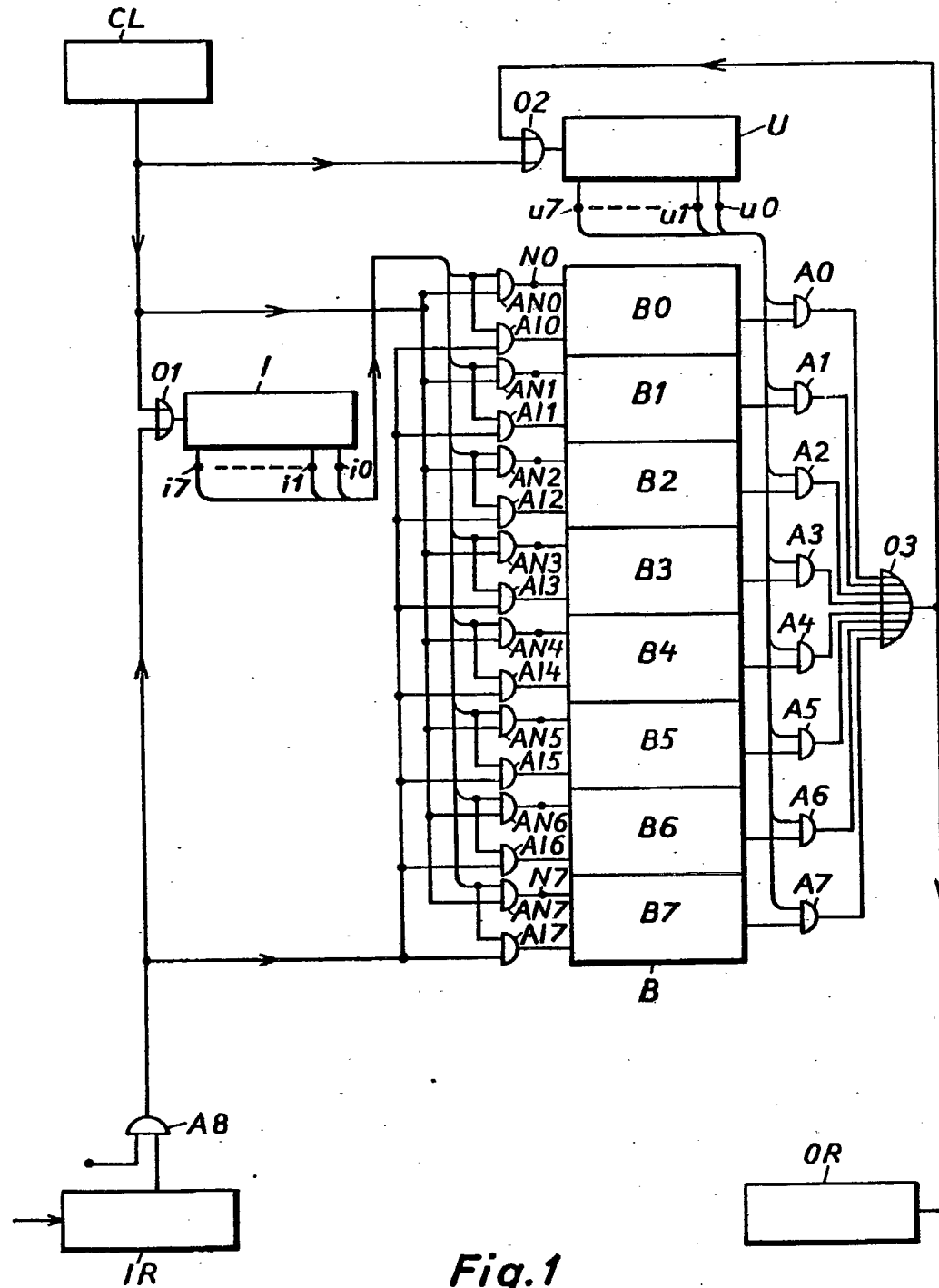


Fig. 1

